

CFM 2515 US
10073, 112

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出 願 年 月 日

Date of Application:

2001年 2月13日

出 願 番 号

Application Number:

特願2001-036095

ST.10/C]:

[JP2001-036095]

出 願 人

Applicant(s):

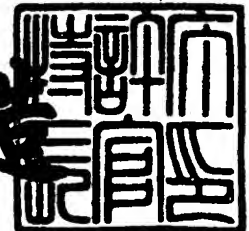
キヤノン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2002年 3月 8日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 4270076

【提出日】 平成13年 2月13日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 7/40

【発明の名称】 画像符号化復号化装置、方法及び記憶媒体

【請求項の数】 22

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 五十嵐 進

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 大塚 克己

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 佐藤 誠

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 立野 徹也

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 千葉 幸郎

【特許出願人】

 【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代理人】

【識別番号】 100076428

【弁理士】

【氏名又は名称】 大塚 康德

【電話番号】 03-5276-3241

【選任した代理人】

【識別番号】 100115071

【弁理士】

【氏名又は名称】 大塚 康弘

【電話番号】 03-5276-3241

【手数料の表示】

【予納台帳番号】 003458

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0001010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像符号化復号化装置、方法及び記憶媒体

【特許請求の範囲】

【請求項 1】 n 個の複数の直交変換係数を同数の量子化閾値と比較して、比較結果に基づき選択的に前記直交変換係数を量子化して符号化する画像符号化装置であって、

前記直交変換係数を、第 1 のスキャン順序に並べ替えて、 n 個ずつ出力する第 1 のスキャン変換手段と、

量子化された直交変換係数を、ジグザグスキャン順序に並べ替えて出力する第 2 のスキャン変換手段と、

を含むことを特徴とする画像符号化装置。

【請求項 2】 前記第 1 のスキャン順序が、偶数番目のサンプルはジグザグスキャン順序の先頭から順方向に、奇数番目のサンプルはジグザグスキャン順序の末尾から逆方向順にそれぞれ配列させた順序であることを特徴とする、請求項 1 に記載の画像符号化装置。

【請求項 3】 前記第 1 のスキャン順序が、奇数番目のサンプルはジグザグスキャン順序の先頭から順方向に、偶数番目のサンプルはジグザグスキャン順序の末尾から逆方向順にそれぞれ配列させた順序であることを特徴とする、請求項 1 に記載の画像符号化装置。

【請求項 4】 前記第 1 のスキャン順序が、偶数番目のサンプルはラスタスキャン順序の先頭から順方向に、奇数番目のサンプルはラスタスキャン順序の末行から順方向順にそれぞれ配列させた順序であることを特徴とする、請求項 1 に記載の画像符号化装置。

【請求項 5】 前記第 1 のスキャン順序が、奇数番目のサンプルはラスタスキャン順序の先頭から順方向に、偶数番目のサンプルはラスタスキャン順序の末行から順方向順にそれぞれ配列させた順序であることを特徴とする、請求項 1 に記載の画像符号化装置。

【請求項 6】 前記第 1 のスキャン順序が、偶数番目のサンプルはラスタスキャン縦方向順序の先頭から順方向に、奇数番目のサンプルはラスタスキャン縦方向

順序の末列から順方向順にそれぞれ配列させた順序であることを特徴とする、請求項1記載の画像符号化装置。

【請求項7】 前記第1のスキャン順序が、奇数番目のサンプルはラスタスキャン縦方向順序の先頭から順方向に、偶数番目のサンプルはラスタスキャン縦方向順序の末列から順方向順にそれぞれ配列させた順序であることを特徴とする、請求項1記載の画像符号化装置。

【請求項8】 前記第1のスキャン変換手段が、請求項2乃至請求項7のいずれかに記載の前記所定のスキャン順序を複数有し、前記直交変換手段の直交変換処理結果に応じて適応的に前記複数のスキャン順序よりただ一つを選択してスキャン変換を行なうことを特徴とする、請求項1記載の画像符号化装置。

【請求項9】 入力符号化データを、逆量子化处理、スキャン順序変換処理、逆直交変換処理して画像を復号化する画像復号化装置において、

前記量子化直交変換係数を第1のスキャン順序に変換して2個以上出力する第1のスキャン変換手段と、

前記第1のスキャン変換手段により出力された2個以上の量子化直交変換係数が0であるかどうかをそれぞれ判定し、その判定結果を出力する0判定手段と、

前記2個以上の量子化直交変換係数のうち、1個以上を選択する第1の選択手段と、

前記2個以上の量子化直交変換係数に対応する2個以上の量子化閾値のうち、1個以上を選択する第2の選択手段と、

前記0判定手段の結果に応じて、前記第1の選択手段及び第2の選択手段を制御し、さらに前記0判定手段の判定結果からフォーマット信号を生成出力する制御手段と、

前記1個以上の量子化直交変換係数と、前記1個以上の量子化閾値とを用いてそれぞれ逆量子化演算処理を行う逆量子化演算手段と、

前記逆量子化演算手段から出力された直交変換係数を第2のスキャン順序に並べ替えて2個以上出力する第2のスキャン変換手段と、

を有することを特徴とする画像復号化装置。

【請求項10】 前記第2のスキャン順序が、ラスタスキャン順序であることを

特徴とする請求項 9 に記載の画像復号化装置。

【請求項 1 1】 前記第 2 のスキャン順序が、縦方向のラスタスキャン順序であることを特徴とする請求項 9 に記載の画像復号化装置。

【請求項 1 2】 前記第 1 のスキャン順序が、偶数番目のサンプルはジグザグスキャン順序の先頭から順方向に、奇数番目のサンプルはジグザグスキャン順序の末尾から逆方向順にそれぞれ配列させた順序であることを特徴とする、請求項 9 乃至請求項 1 1 のいずれかに記載の画像復号化装置。

【請求項 1 3】 前記第 1 のスキャン順序が、奇数番目のサンプルはジグザグスキャン順序の先頭から順方向に、偶数番目のサンプルはジグザグスキャン順序の末尾から逆方向順にそれぞれ配列させた順序であることを特徴とする、請求項 9 乃至請求項 1 1 のいずれかに記載の画像復号化装置。

【請求項 1 4】 前記第 1 のスキャン順序が、偶数番目のサンプルはラスタスキャン順序の先頭から順方向に、奇数番目のサンプルはラスタスキャン順序の末行から順方向順にそれぞれ配列させた順序であることを特徴とする、請求項 9 乃至請求項 1 1 のいずれかに記載の画像復号化装置。

【請求項 1 5】 前記第 1 のスキャン順序が、奇数番目のサンプルはラスタスキャン順序の先頭から順方向に、偶数番目のサンプルはラスタスキャン順序の末行から順方向順にそれぞれ配列させた順序であることを特徴とする、請求項 9 乃至請求項 1 1 のいずれかに記載の画像復号化装置。

【請求項 1 6】 前記第 1 のスキャン順序が、偶数番目のサンプルはラスタスキャン縦方向順序の先頭から順方向に、奇数番目のサンプルはラスタスキャン縦方向順序の末列から順方向順にそれぞれ配列させた順序であることを特徴とする、請求項 9 乃至請求項 1 1 のいずれかに記載の画像復号化装置。

【請求項 1 7】 前記第 1 のスキャン順序が、奇数番目のサンプルはラスタスキャン縦方向順序の先頭から順方向に、偶数番目のサンプルはラスタスキャン縦方向順序の末列から順方向順にそれぞれ配列させた順序であることを特徴とする、請求項 9 乃至請求項 1 1 のいずれかに記載の画像復号化装置。

【請求項 1 8】 前記第 1 のスキャン変換手段が、請求項 1 2 乃至請求項 1 7 のいずれかに記載の前記第 1 のスキャン順序を複数有し、前記直交変換手段の直交

変換処理結果に応じて適応的に前記複数のスキャン順序よりただ一つを選択してスキャン変換を行なうことを特徴とする、請求項 9 乃至請求項 11 のいずれかに記載の画像復号化装置。

【請求項 19】 n 個の複数の直交変換係数を同数の量子化閾値と比較して、比較結果に基づき選択的に前記直交変換係数を量子化して符号化する画像符号化方法であって、

前記直交変換係数を、所定のスキャン順序に並べ替えて、 n 個ずつ出力する第 1 のスキャン変換工程と、

量子化された直交変換係数を、ジグザグスキャン順序に並べ替えて出力する第 2 のスキャン変換工程と、

を含むことを特徴とする画像符号化方法。

【請求項 20】 入力符号化データを、逆量子化处理、スキャン順序変換処理、逆直交変換処理して画像を復号化する画像復号化方法において、

前記は逆量子化直交変換係数を第 1 のスキャン順序に変換して 2 個以上出力するスキャン変換工程と、

前記スキャン変換工程により出力された 2 個以上の量子化直交変換係数が 0 であるかどうかをそれぞれ判定し、その判定結果を出力する 0 判定工程と

前記 2 個以上の量子化直交変換係数のうち、1 個以上を選択する第 1 の選択工程と、

前記 2 個以上の量子化直交変換係数に対応する 2 個以上の量子化閾値のうち、1 個以上を選択する第 2 の選択工程と、

前記 0 判定工程の結果に応じて、前記第 1 の選択工程及び第 2 の選択工程を制御する制御工程と、

前記 1 個以上の直交変換係数と、前記 1 個以上の量子化閾値とを用いてそれぞれ逆量子化演算処理を行う逆量子化演算工程と

前記逆量子化演算工程から出力された直交変換係数を第 2 のスキャン順序に並べ替えて 2 個以上出力する第 2 のスキャン変換工程と、

を有することを特徴とする画像復号化方法。

【請求項 21】 n 個の複数の直交変換係数を同数の量子化閾値と比較して、比

較結果に基づき選択的に前記直交変換係数を量子化して符号化する画像符号化プログラムを記憶したコンピュータで読取可能な記憶媒体であって、

前記直交変換係数を、所定のスキャン順序に並べ替えて、 n 個ずつ出力する第 1 のスキャン変換ステップのコードと、

量子化された直交変換係数を、ジグザグスキャン順序に並べ替えて出力する第 2 のスキャン変換ステップのコードと、

を含むことを特徴とするコンピュータで読取可能な記憶媒体。

【請求項 2 2】 入力符号化データを、逆量子化处理、スキャン変換処理、逆直交変換処理して画像を復号化する画像復号化プログラムを記憶したコンピュータで読取可能な記憶媒体において、

前記は逆量子化直交変換係数を第 1 のスキャン順序に変換して 2 個以上出力するスキャン変換ステップのコードと、

前記スキャン変換ステップにより出力された 2 個以上の量子化直交変換係数が 0 であるかどうかをそれぞれ判定し、その判定結果を出力する 0 判定ステップのコードと

前記 2 個以上の量子化直交変換係数のうち、1 個以上を選択する第 1 の選択ステップのコードと、

前記 2 個以上の量子化直交変換係数に対応する 2 個以上の量子化閾値のうち、1 個以上を選択する第 2 の選択ステップのコードと、

前記 0 判定ステップの結果に応じて、前記第 1 の選択ステップ及び第 2 の選択ステップを制御する制御ステップのコードと、

前記 1 個以上の直交変換係数と、前記 1 個以上の量子化閾値とを用いてそれぞれ逆量子化演算処理を行う逆量子化演算ステップのコードと

前記逆量子化演算ステップから出力された直交変換係数を第 2 のスキャン順序に並べ替えて 2 個以上出力する第 2 のスキャン変換ステップのコードと、

を有することを特徴とするコンピュータで読取可能な記憶媒体。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は画像の符号化及び復号化を行う装置、方法及び記憶媒体に関する。

【 0 0 0 2 】

【従来の技術】

多値画像の圧縮技術として、従来より原画像を複数の画素からなるブロック単位に分割して直交変換を施し、指定された量子化閾値で量子化してハフマン符号化するものが知られている。かかる符号化処理はJPEG(Joint Photographic Experts Group)方式でも取りいれられており、これをハードウェア化して符号化、復号化する装置が従来より知られている。

【 0 0 0 3 】

例えば、ハードウェア化された符号化装置では、従来より量子化処理を最小限の回路規模で良好な処理レートを得るための工夫がなされており、ジグザグスキャン順に変換された直交変換係数が複数個ずつ処理される。そこで、従来の符号化装置の構成を以下に説明する。

【 0 0 0 4 】

従来の符号化装置は、直交変換器により、複数のブロックに分割された入力原画像を、該ブロック単位で直交変換を施し、直交変換係数を出力する。出力された係数は、ジグザグスキャン変換器によりジグザグスキャン順に並べ替えられ、2係数ずつ比較器へ出力され、これに対応する量子化閾値も2つずつ同様に比較器へ出力される。比較器では出力係数と対応する量子化閾値の比較を行い、直交変換係数が量子化閾値より小さいかどうかという比較結果情報をそれぞれ出力する。この比較結果情報は、該直交変換係数に対応する量子化閾値で量子化した結果が0になるかどうかという情報と等価である。

【 0 0 0 5 】

制御装置では、比較器の出力結果に応じて、2つの直交変換係数の量子化結果の少なくともいずれか一方が0であれば、量子化結果の0にならない方(有意係数)を選択するように、選択器に制御信号を出力し(両方共0の場合はいずれを選択するような制御信号を出力しても動作には影響しない)、いずれも0でなければジグザグスキャン順になるように一つずつ2サイクルに分けて交互に選択するように制御信号を出力する。また制御装置は比較器の出力結果に応じて、ハ

フマン符号化器にフォーマット信号を出力する。該フォーマット信号は、2つの直交変換係数のうちいずれか一方が0であれば”0と有意係数のペア”、両方共0であれば”0と0のペア”、両方共有意係数であれば”一つの有意係数のみ”を示す情報（両方共有意係数の場合は、係数を一つずつ2サイクルに分けて量子化処理することになるので、2サイクル連続で”一つの有意係数のみ”を示す情報を出力することになる）を、ならびに”0と有意係数のペア”であるならば該0と有意係数のペアのうちどちらがジグザグスキャン順で先であるのかを示す情報を含む。

【0006】

このように、直交変換係数が0であれば量子化処理することなく結果が得られる（即ち0）ので、2つの直交変換係数のうち少なくともいずれか一方が0であれば、該2つの直交変換係数を実質的に1サイクルで量子化処理するように制御する。

しかし、比較の結果、二つの係数の両方が有意であれば、どちらの係数も0でないので量子化処理を必要とし、そのために2サイクルの処理期間が必要となる。

【0007】

また、ハードウェア化された復号化装置では、従来より逆量子化処理を最小限の回路規模で良好な処理レートを得るための工夫がなされており、例えば、量子化直交変換係数のうち有意係数のみについての逆量子化演算及びメモリへの書込みを行ない、メモリの初期化動作をする提案がなされている。以下に、従来の復号化装置の構成を説明する。

【0008】

従来の復号化器は、ハフマン復号化器により、ハフマン符号化された符号データを復号し、量子化された直交変換係数とそれ以前に0がいくつ続いていたかを示すゼロラン情報を出力する。出力された量子化直交変換係数は、逆量子化器へ入力され、量子化閾値テーブルが出力する該量子化直交変換係数に対応する量子化閾値を用いて逆量子化処理を施し、直交変換係数として選択器へ出力される。

【0009】

アドレス生成器は出力されたゼロラン情報より、出力量子化直交変換係数が直交変換処理単位ブロック内でのどの位置に対応するかを計算し、対応する位置に

応じたブロックメモリの書込みアドレス及び量子化閾値テーブルの読出しアドレスをそれぞれ出力すると共に、単位ブロックにつき、量子化処理に先んじてブロックメモリを初期化する為の初期化対象アドレスをブロックメモリへ出力し、初期化動作中であることを示す信号を制御装置へ出力する。該初期化処理は、単位ブロックの処理前に予め 0 を書きこんでおき、実際の処理段でブロックメモリへ書込む直交変換係数を有意係数（0 でない係数）のみに限定し、無意係数（0 である係数）の書込み処理を省くための前処理である。この場合、有意係数が書込まれたアドレスのみ初期化すればよく、その為有意係数の書込みが発生したアドレスを記憶しておく必要があり、初期化の為の書込みアドレスは該記憶しておいたアドレス情報をもとに生成する。

【 0 0 1 0 】

量子化閾値テーブルは、前記書込みアドレス生成器の出力をもとに、処理対象となる量子化直交変換係数に対応する量子化閾値を読出し、逆量子化器に出力する。制御装置は初期化動作中を示す信号をもとに、初期化データである 0 値及び初期化データを選択するか否かを表す順序選択信号を選択器に出力し、またブロックメモリの書込み動作・読出し動作を制御する制御信号及び読出しアドレス生成器に出力する。該制御信号は、単位直交変換ブロック分の書込み動作が終了したら読出し動作を開始し、1 サイクルにつき 2 係数ずつ読出していき、単位直交変換ブロック分データを読出し終わった時点で読出しを終了し、初期化処理の為の初期化データ書込み処理を開始し、初期化処理が終了した後に次処理対象直交変換ブロックの書込み動作を開始するように指示される。

【 0 0 1 1 】

読出しアドレス生成器は、制御装置の出力する書込み・読出し制御をもとに、読出し期間中はブロックメモリに書込まれた単位直交変換処理ブロック分のデータをジグザグスキャン順に順次読出しを行なうよう、アドレスを生成してブロックメモリに出力する。

【 0 0 1 2 】

ブロックメモリは、直交変換処理単位ブロック毎に初期化、書込み、ジグザグスキャン順に読出し、のサイクルで動作する。また、ブロックメモリは選択器の

出力を書込みアドレスに書込み、読出しは読出しアドレスに応じて、制御装置の出力する書込み・読出し制御信号に従って行なう。読出し値は、逆直交変換器へ出力する。

【 0 0 1 3 】

逆直交変換器は、ブロックメモリよりジグザグスキャン順に出力される直交変換係数を順次逆直交変換し、単位ブロック毎に変換結果を出力する。

【 0 0 1 4 】

以上のような構成では、ブロックメモリに対する書込み処理は単位ブロック内に存在する有意係数の数分だけクロックサイクルを要し、読出しは2係数ずつの読出しとしたので単位ブロック内のサンプル数を64とすると32クロックサイクルを要し、初期化は単位ブロック内に存在する有意係数の数分だけクロックサイクルを要することになる。

【 0 0 1 5 】

例えば、単位ブロック内のサンプル数を64とし、処理対象となる単位ブロック内に有意係数が20個存在していたとすると、該処理対象ブロックの処理に要する総クロックサイクル数は、書込み処理＝20サイクル、読出し処理＝32サイクル、初期化処理＝20サイクルであるので、合計して72クロックサイクルということになる。

【 0 0 1 6 】

さらに、ある単位直交変換ブロック（ $8 \times 8 = 64$ サンプルとする）を処理するのに要するクロックサイクル数の最小値は、該処理対象ブロック内の有意係数の数が0であった場合であり、その際のクロックサイクル数は、書込み処理＝0サイクル、読出し処理＝32サイクル、初期化処理＝0サイクルであるので、合計して32サイクルということになる。これに対し、ある単位直交変換ブロックを処理するのに要するクロックサイクル数の最大値は、該処理対象ブロック内の有意係数の数が64であった場合であり、その際のクロックサイクル数は、書込み処理＝64サイクル、読出し処理＝32サイクル、初期化処理＝64サイクルであるので、合計して160サイクルということになる。

【 0 0 1 7 】

【発明が解決しようとする課題】

従来の符号化装置の構成では比較手段に入力される2個の直交変換係数のペアのうち、少なくともどちらか一方の量子化結果が0になることが処理速度の観点から望ましい。その為には、直交変換ブロック内での量子化直交変換係数の各要素を、有意係数になるべく平均的に分散されて比較手段に入力されることが望ましいが、ジグザグスキャン順に入力させてしまうと有意係数が集中して配列される傾向にあるため、符号化処理速度があがらないという問題があった。

【0018】

また、従来の復号化装置の構成では、圧縮率が高く単位直交変換ブロックあたりに占める有意係数の数が少ない場合は、良好な復号化速度が得られるものの、直交変換ブロック毎に初期化処理を行なうため、有意係数の占める割合が高くなるにつれて処理速度が極端に低下し、圧縮率の高い符号データと圧縮率の低い符号データとで復号化処理に要する時間の差が大きくなってしまったといった問題があった。

【0019】

【課題を解決するための手段】

本発明は前記の問題を鑑みて、符号化効率をあげるために、以下の手段を提供する。

【0020】

n個の複数の直交変換係数を同数の量子化閾値と比較して、比較結果に基づき選択的に前記直交変換係数を量子化して符号化する画像符号化装置であって、前記直交変換係数を、第1のスキャン順序に並べ替えて、n個ずつ出力する第1のスキャン変換手段と、量子化された直交変換係数を、ジグザグスキャン順序に並べ替えて出力する第2のスキャン変換手段とにより、有意係数になるべく平均的に分散されて配列されるような順序にすることにより、全体の処理レートの向上を図る。

【0021】

また、本発明は前記のような問題を鑑みて、圧縮率の相違に影響されない復号化処理を行なうことを目的として、以下の手段を提供する。

【 0 0 2 2 】

入力符号化データを、逆量子化处理、スキャン順序変換処理、逆直交変換処理して画像を復号化する画像復号化装置において、前記量子化直交変換係数を第 1 のスキャン順序に変換して 2 個以上出力する第 1 のスキャン変換手段と、

前記第 1 のスキャン変換手段により出力された 2 個以上の量子化直交変換係数が 0 であるかどうかをそれぞれ判定し、その判定結果を出力する 0 判定手段と、

前記 2 個以上の量子化直交変換係数のうち、1 個以上を選択する第 1 の選択手段と、

前記 2 個以上の量子化直交変換係数に対応する 2 個以上の量子化閾値のうち、1 個以上を選択する第 2 の選択手段と、

前記 0 判定手段の結果に応じて、前記第 1 の選択手段及び第 2 の選択手段を制御し、さらに前記 0 判定手段の判定結果からフォーマット信号を生成出力する制御手段と、

前記 1 個以上の量子化直交変換係数と、前記 1 個以上の量子化閾値とを用いてそれぞれ逆量子化演算処理を行う逆量子化演算手段と

前記逆量子化演算手段から出力された直交変換係数を第 2 のスキャン順序に並べ替えて 2 個以上出力する第 2 のスキャン変換手段とを備え、逆量子化处理対象数を複数個同時に 0 判定し、該複数個の係数の中の有意係数の個数によって逆量子化处理を制御し、前記第 1 のスキャン手段で備えるスキャン順序を、有意係数になるべく平均的に分散されて配列されるような順序にして逆量子化处理レートの向上を図ると共に、初期化处理期間をなくしたことにより、全体の処理レートの向上を図る。

【 0 0 2 3 】

【発明の実施の形態】

[第 1 の実施形態]

図 1 に、本発明の第 1 の実施形態の符号化装置の構成例を示す。本実施形態では 2 係数ずつ処理する構成となっている。また、処理の流れは図 1 2 a から図 1 2 d のフローチャートに示すようになる。

【 0 0 2 4 】

101 は直交変換器であり、符号化処理対象となる原画像を複数のブロック単位に分割したものを入力とし、該ブロック単位で直交変換を施し、直交変換係数を第1のスキャン変換器102へ順次出力する(S1201)。

【0025】

第1のスキャン変換器102は、直交変換器101より出力された直交変換係数を入力とし、予め定められたスキャン順序に並べ替え(S1202)、2係数ずつ出力する。また102は、例えば102(a)に示すブロックメモリと102(b)に示すアドレス生成器より構成され、102(a)は101より出力された直交変換係数を、一旦1ブロック分蓄え、102(b)の指示するアドレスに従って書込み及び読出しを行なう。102(b)は102(a)から直交変換係数を読出していったときに、予め定められたスキャン順で出力されるようにアドレスを生成する。実際のスキャン順序は前記直交変換ブロック単位内でなるべく有意係数が分散されるように考慮されたものが処理速度の観点から望ましく、例えば図2bに示したスキャン順、図2cに示したスキャン順、または図2dに示したスキャン順などが有利である。

【0026】

量子化閾値テーブル105は、予め所定のスキャン順序に対応するようにテーブル成分が並べ替えられており、102の出力する2つの直交変換係数にそれぞれ対応した量子化閾値を2つずつ出力する(S1204)。比較器103、104は102及び105より出力された直交変換係数と対応する量子化閾値の2組のペアをそれぞれ入力とし、直交変換係数と量子化閾値を比較して直交変換係数が量子化閾値より小さいか否かという比較結果情報をそれぞれ出力する(S1205)。この比較結果情報は、該直交変換係数を対応する量子化閾値で量子化した結果が0になるかどうかという情報と等価である。

【0027】

制御装置106は比較器103、104の出力結果に応じて、102が出力する2つの直交変換係数の量子化結果の少なくともいずれか一方が0であれば(8-3)、量子化結果の0にならない方(有意係数)を選択するように、選択器107及び選択器108に制御信号を出力し(両方共0の場合はいずれを選択す

るような制御信号を出力しても動作には影響しない)、いずれも0でないならば第1のスキャン変換器102で変換されたスキャン順になるように一つずつ2サイクルに分けて交互に選択するように制御信号を出力する。また制御装置106は比較器103,104の出力結果に応じて、第2のスキャン変換器110にフォーマット信号を出力する。該フォーマット信号は、102が出力する2つの直交変換係数のうちいずれか一方が0であれば”0と有意係数のペア”、両方共0であれば”0と0のペア”、両方共有意係数であれば”一つの有意係数のみ”を示す情報(両方共有意係数の場合は、係数一つずつ2サイクルに分けて量子化処理することになるので、2サイクル連続で”一つの有意係数のみ”を示す情報を出力することになる)を、ならびに”0と有意係数のペア”であるならば該0と有意係数のペアのうちどちらが第1のスキャン変換器102で変換されたスキャン順で先であるのかを示す情報を含む。

【0028】

このように、直交変換係数が0であれば量子化演算処理することなく結果が得られる(即ち0)ので、2つの直交変換係数のうち少なくともいずれか一方が0であれば、該2つの直交変換係数を実質的に1サイクルで量子化処理するように制御する。

【0029】

選択器107は102の出力する2つの直交変換係数のうちいずれか一方を、106の出力する制御信号に従って選択し、量子化演算器109へ出力する。

【0030】

選択器108は、105の出力する2つの量子化閾値のうちいずれか一方を、106の出力する制御信号に従って選択し、量子化演算器109へ出力する。また、選択器108の出力する量子化閾値は、常に選択器107の出力する直交変換係数に対応する量子化閾値となる。

【0031】

量子化演算器109は、107の出力を108の出力で除算して得る量子化結果を、第2のスキャン変換器110へ出力する。

【0032】

第2のスキャン変換器110は、106の出力するフォーマット信号に応じて、109の出力をジグザグスキャン順に並べ替え(S1219)、2つずつハフマン符号化器111へ出力する(S1220)。また110は、例えば110(a)に示すブロックメモリと110(b)に示すアドレス生成器より構成され、110(a)は109の出力を、一旦1ブロック分蓄え、110(b)の指示するアドレスに従って書込み及び読出しを行なう。110(b)は110(a)から直交変換係数を読出していったときに、ジグザグスキャン順で出力されるようにアドレスを生成する。

【0033】

ハフマン符号化器111は、110の出力を順次ハフマン符号化していく(S1221)。このように102より出力される2つの直交変換係数の量子化結果のうち、いずれか一方が0であれば該2つの係数を量子化するのに1サイクルの処理時間ですみ、いずれも0でないならばどちらも除算による量子化処理が必要となる為、該2つの係数を量子化するのに2サイクルの処理期間が必要となる。

【0034】

以下、例として102の出力する2つの直交変換係数を量子化閾値で量子化した結果を102の出力する順番に並べると、以下に示したようになる場合の処理を説明する。

【0035】

例：「0」は量子化結果が0、「有」は量子化結果が0でない（つまり有意係数）ことを示す。

【0036】

量子化結果：(0、有)、(0、0)、(有、0)、(有、有)

まず最初のペア(0、有)は一方が0で他方が有意係数であるので、制御装置106は選択器107、108に対し有意係数の方を選択するよう、制御信号を出力し(S1217)、また第2のスキャン変換器110には”0と有意係数のペア”という情報、ならびにそのどちらが第1のスキャン変換器102で変換されたスキャン順で先であるのかを示す情報を同時に出力する(S1216)。

【0037】

量子化演算器109は107より出力された有意係数を108の出力である量子化閾値で除算して得た量子化直交変換係数（有意係数）を第2のスキャン変換器110に出力する（S1218）。

【0038】

次のペア（0、0）は両方共0であるので、制御装置106は選択器107、108に対しいずれか一方（どちらでもよい）を選択するよう、制御信号を出力し（S1209）、また第2のスキャン変換器110には”0と0のペア”を示すフォーマット信号を同時に出力する（S1208）。

【0039】

量子化演算器109は107より出力された係数を108より出力された量子化閾値で除算して得た量子化直交変換係数（この場合結果的には無意係数になる）を第2のスキャン変換器110に出力する（S1210）。

【0040】

その次のペア（有、0）は一方が有意係数で他方が0であるので、制御装置106は選択器107、108に対し有意係数の方を選択するよう、制御信号を出力し（S1217）、また第2のスキャン変換器110には”0と有意係数のペア”という情報ならびにそのどちらが第1のスキャン変換器102で変換されたスキャン順で先であるのかを示す情報を同時に出力する（S1216）。

【0041】

量子化演算器109は107より出力された有意係数を108の出力である量子化閾値で除算して得た量子化直交変換係数（有意係数）を第2のスキャン変換器110に出力する（S1218）。

【0042】

その次のペア（有、有）は両方共0でないので、制御装置106は選択器107、108に対しまず最初のサイクルでは第1のスキャン変換器102で変換されたスキャン順で早い方を選択するよう、制御信号を出力し（S1212）、また第2のスキャン変換器110には”一つの有意係数のみ”という情報を同時に出力する（S1211）。その次のサイクルでは第1のスキャン変換器102で変換されたスキャン順で後の方を選択するよう、制御信号を出力し、また第2のス

キャン変換器 1 1 0 には”一つの有意係数のみ”という情報を同時に出力する (S 1 2 1 4)。

【0 0 4 3】

量子化演算器 1 0 9 は、2 サイクルに分けて 1 0 7 より出力された係数及び 1 0 8 より出力された量子化閾値を用いて、2 サイクルに分けて量子化演算し、その結果を量子化直交変換係数として 2 サイクルに分けて第 2 のスキャン変換器 1 1 0 に出力する (S 1 2 1 3、S 1 2 1 5)。

【0 0 4 4】

このように、以上示した例では 8 個の係数の量子化処理を合計 5 サイクルで行なうことになる。

【0 0 4 5】

[第 2 の実施形態]

図 3 に、本発明の第 2 の実施形態の符号化装置の構成例を示す。

【0 0 4 6】

3 0 1 は直交変換器であり、符号化処理対象となる原画像を複数のブロック単位に分割したものを入力とし、該ブロック単位で直交変換を施し、直交変換係数を第 1 のスキャン変換器 3 0 2 へ順次出力するとともに、該処理対象ブロックの周波数分布情報を順序選択信号生成器 3 1 2 へ出力する。順序選択信号生成器 3 1 2 は、3 0 1 の出力する周波数分布情報をもとに第 1 のスキャン変換器 3 0 2 の備える複数のスキャン順序のうちただ一つを選択する順序選択信号を出力する。

【0 0 4 7】

例えば、図 5 a に示す量子化結果配列例のように、有意係数が上半分に偏っている場合、第 1 のスキャン変換器 3 0 2 としては図 2 c に示すスキャン順序でスキャンすれば (有、有) の組み合わせの数が少なくなる。また、図 6 a に示す量子化結果配列例のように、有意係数が左半分に偏っている場合、第 1 のスキャン変換器 3 0 2 としては図 2 d に示すスキャン順序でスキャンすれば (有、有) の組み合わせの数が少なくなる。このように、3 1 2 は処理対象ブロックの周波数分布情報をもとに、処理速度的に有利となるスキャン順序を選択するよう、順序

選択信号を生成していく。

【0048】

第1のスキャン変換器302は、直交変換器301より出力された直交変換係数を入力とし、予め備えた複数のスキャン順序のうち312より出力された順序選択信号に従って一つを選択し、該選択したスキャン順序に並べ替え、2係数ずつ出力する。また302は、302(a)に示すブロックメモリと、302(b)に示すアドレス生成器1、302(c)に示すアドレス生成器2、及び302(d)に示すアドレス生成器3と、312より出力された順序選択信号に従って302(b)、302(c)、302(d)の出力より一つを選択する選択器302(e)より構成される。302(a)は301より出力された直交変換係数を、一旦1ブロック分蓄え、302(e)の出力の指示するアドレスに従って書込み及び読出しを行なう。302(b)、302(c)、302(d)はそれぞれ302(a)から直交変換係数を読出していったときに、例えば図2bに示したスキャン順、図2cに示したスキャン順、図2dに示したスキャン順のような予め定められたスキャン順で出力されるようにアドレスを生成する。

【0049】

量子化閾値テーブル305は、直交変換器312の出力する順序選択信号をもとに、302の出力する2つの直交変換係数にそれぞれ対応した量子化閾値を2つつつ出力する。

【0050】

比較器303、304は302及び305より出力された直交変換係数と対応する量子化閾値の2組のペアをそれぞれ入力とし、直交変換係数と量子化閾値を比較して直交変換係数が量子化閾値より小さいか否かという比較結果情報をそれぞれ出力する。この比較結果情報は、該直交変換係数を対応する量子化閾値で量子化した結果が0になるかどうかという情報と等価である。

【0051】

制御装置306は比較器303、304の出力結果に応じて、302が出力する2つの直交変換係数の量子化結果の少なくともいずれか一方が0であれば、量子化結果の0にならない方を選択するように、選択器307及び選択器308

に制御信号を出力し（両方共0の場合はいずれを選択するような制御信号を出力しても動作には影響しない）、いずれも0でないならば第1のスキャン変換器302で選択されたスキャン順になるように2サイクルに分けて一つずつ交互に選択するように制御信号を出力する。また制御装置306は比較器303,304の出力結果に応じて、第2のスキャン変換器310にフォーマット信号を出力する。該フォーマット信号は、302が出力する2つの直交変換係数のうちいずれか一方が0であれば”0と有意係数のペア”、両方共0であれば”0と0のペア”、両方共有意係数であれば”一つの有意係数のみ”を示す情報（両方共有意係数の場合は、係数を一つずつ2サイクルに分けて量子化処理することになるので、2サイクル連続で”一つの有意係数のみ”を示す情報を出力することになる）を、ならびに”0と有意係数のペア”であるならば該0と有意係数のペアのうちどちらが第1のスキャン変換器302で変換されたスキャン順で先であるのかを示す情報を含む。

【0052】

このように、直交変換係数が0であれば量子化演算処理することなく結果が得られる（即ち0）ので、2つの直交変換係数のうち少なくともいずれか一方が0であれば、該2つの直交変換係数を実質的に1サイクルで量子化処理するように制御する。

【0053】

選択器307は302の出力する2つの直交変換係数のうちいずれか一方を、306の出力する制御信号に従って選択し、量子化演算器309へ出力する。選択器308は、305の出力する2つの量子化閾値のうちいずれか一方を、306の出力する制御信号に従って選択し、量子化演算器309へ出力する。また、選択器308の出力する量子化閾値は、常に選択器307の出力する直交変換係数に対応する量子化閾値となる。

【0054】

量子化演算器309は、307の出力を308の出力で除算して得る量子化結果を、第2のスキャン変換器310へ出力する。

【0055】

第2のスキャン変換器310は、306の出力するフォーマット信号に応じて、直交変換器312の出力する順序選択信号をもとに、309の出力をジグザグスキャン順に並べ替え、2つつつハフマン符号化器311へ出力する。また310は、310(a)に示すブロックメモリと310(b)に示すアドレス生成器4、310(c)に示すアドレス生成器5、及び310(d)に示すアドレス生成器6と、301より出力された順序選択信号に従って310(b)、310(c)、310(d)の出力より一つを選択する選択器310(e)より構成される。310(a)は309の出力を、一旦1ブロック分蓄え、310(e)が出力するアドレスに従って書込み及び読出しを行なう。310(b)、310(c)、310(d)はそれぞれ310(a)から量子化直交変換係数を読出していったときに、ジグザグスキャン順で出力されるようにアドレスを生成する。

【0056】

ハフマン符号化器311は、310の出力を順次ハフマン符号化していく。

【0057】

図4aに、 8×8 画素単位にブロック分割された画像に直交変換及び量子化を施した例を示す。図で「有」は有意係数、「0」は無意係数を表す。一般に多くの画像は直交変換を施した場合直流成分、低周波成分に電力が集中することが知られており、また量子化閾値は、人間の視覚特性が高周波成分に対し鈍感であることを考慮して、高周波成分に対応する量子化閾値に大きい値を割り当てることが多い。その為図4aに示すように、有意係数は直交変換ブロックの左上の方、つまりジグザグスキャン順で早い方に連続して集中する傾向にある。

【0058】

図4aの量子化結果配列例では、ジグザグスキャン順に2つつつ係数を取り出して並べると、図4bのようになる。この場合、(有、有)の組み合わせが7つあるので、64係数の量子化処理時間は $7 \times 2 + (32 - 7) = 39$ サイクルとなる。即ち、図4aに示した例では従来例の構成では39サイクルの量子化処理時間を要する。

【0059】

これに対し、本発明の第1の実施形態の構成では量子化処理に要する処理時間

は以下のようなになる。

【 0 0 6 0 】

まず、図 2 b に示したスキャン順を選択して図 4 a に示す量子化結果配列例を該スキャン順に 2 つずつ並べると、図 4 c のようになる。この場合、(有、有)の組み合わせが 2 つあるので、6 4 係数の量子化処理時間は $2 \times 2 + (3 \times 2 - 2)$
 $= 3 \times 4$ サイクルとなる。

【 0 0 6 1 】

次に、図 2 c に示したスキャン順を選択して図 4 a に示す量子化結果配列例を該スキャン順に 2 つずつ並べると、図 4 d のようになる。この場合、(有、有)の組み合わせが 1 つあるので、6 4 係数の量子化処理時間は $1 \times 2 + (3 \times 2 - 1)$
 $= 3 \times 3$ サイクルとなる。

【 0 0 6 2 】

次に、図 2 d に示したスキャン順を選択して図 4 a に示す量子化結果配列例を該スキャン順に 2 つずつ並べると、図 4 e のようになる。この場合、(有、有)の組み合わせが 2 つあるので、6 4 係数の量子化処理時間は $2 \times 2 + (3 \times 2 - 2)$
 $= 3 \times 4$ サイクルとなる。

【 0 0 6 3 】

前記のように、従来のスキャン順に従った場合と、本発明におけるスキャン順に従った場合において、8 x 8 のブロックにサイクル数の差は、図 2 b 及び図 2 d に示したスキャン順を選択した場合は 5 サイクル、図 2 c に示したスキャン順を選択した場合は 6 サイクルである。これを画面全体 (画素数 Na) に換算すると以下の式によりサイクル数の差 (D) を求めることができる。

【 0 0 6 4 】

総画素数が 2 0 0 万ならば、 $D = (Na / 64) \times 5$ [サイクル] について、
 図 2 b に示したスキャン順を選択すれば、

$$D = 200 \times 10^6 / 64 \times 5 = 15.6 \times 10^6 \text{ [サイクル]}$$

図 2 c に示したスキャン順を選択すれば、

$$D = 200 \times 10^6 / 64 \times 6 = 18.75 \times 10^6 \text{ [サイクル] となる。}$$

【 0 0 6 5 】

[第 3 の実施形態]

図 7 に本発明の第 3 の実施形態を示す。701 はハフマン復号化器であり、ハフマン符号化された符号データを復号し、量子化された直交変換係数として第 1 のスキャン変換器 702 へ出力する (S1301)。

【0066】

第 1 のスキャン変換器 702 は、ハフマン復号器 701 より出力された量子化直交変換係数を入力とし、予め定められたスキャン順序に並べ替え (S1302)、2 係数ずつ出力する (S1303)。また 702 は、例えば 702 (a) に示すブロックメモリと 702 (b) に示すアドレス生成器より構成され、702 (a) は 701 より出力された量子化直交変換係数を、一旦 1 ブロック分蓄え、702 (b) の指示するアドレスに従って書き込み及び読み出しを行なう。702 (b) は 702 (a) から量子化直交変換係数を読み出していったときに、予め定められたスキャン順で出力されるようにアドレスを生成する。実際のスキャン順序は前記直交変換ブロック単位内なるべく有意係数が分散されるように考慮されたものが処理速度の観点から望ましく、例えば図 2 b に記載のスキャン順、図 2 c に記載のスキャン順、または図 2 b に記載のスキャン順などが有利である。

【0067】

量子化閾値テーブル 704 は、702 の出力する 2 つの量子化直交変換係数にそれぞれ対応した量子化閾値を 2 つずつ出力する (S1304)。

【0068】

0 判定機 703 は 702 より出力された 2 つの量子化直交変換係数を入力とし、該入力された量子化直交変換係数がそれぞれ 0 であるか否かを判定し、その判定結果を制御装置 705 に出力する (S1305)。

【0069】

制御装置 705 は 0 判定器 703 の出力結果に応じて、702 が出力する 2 つの量子化直交変換係数のうちすくなくともいずれか一方が 0 であれば、0 でない方 (有意係数) を選択するように、選択器 706 及び選択器 707 に制御信号を出力し (両方共 0 の場合はいずれを選択するような制御信号を出力しても動作に

影響しない)、いずれも0でないならば2サイクルに分けて第1のスキャン変換器702で出力されたスキャン順になるよう一つずつ交互に選択するように制御信号を出力する。また制御装置705は0判定器703の出力結果に応じて、第2のスキャン変換器709にフォーマット信号を出力する。該フォーマット信号は、702が出力する2つの量子化直交変換係数のうちいずれか一方が0であれば”0と有意係数のペア”、両方共0であれば”0と0のペア”、両方共有意係数であれば”一つの有意係数のみ”を示す情報(両方共有意係数の場合は、係数一つずつ2サイクルに分けて逆量子化処理することになるので、2サイクル連続で”一つの有意係数のみ”を示す情報を出力することになる)を、ならびに”0と有意係数のペア”であるならば該0と有意係数のペアのうちどちらが第1のスキャン変換器702で変換されたスキャン順であるのかを示す情報を含む。

【0070】

このように、量子化直交変換係数が0であれば逆量子化演算処理することなく結果が得られる(即ち0)ので、2つの量子化直交変換係数のうち少なくともいずれか一方が0であれば、該2つの量子化直交変換計算を実質的に1サイクルで逆量子化するように制御する。

【0071】

選択器706は702の出力する2つの量子化直交変換係数のうちいずれか一方を、705の出力する制御信号に従って選択し、逆量子化演算器708へ出力する。選択器707は、704の出力する2つの量子化閾値のうちいずれか一方を、705の出力する制御信号に従って選択し、逆量子化演算器708へ出力する。また、選択器707の出力する量子化閾値は、常に選択器706の出力する量子化直交変換係数に対応する量子化閾値となる。

【0072】

逆量子化演算器708は、706の出力に707の出力を乗じて得る逆量子化結果を、第2のスキャン変換器709へ出力する。

【0073】

第2のスキャン変換器709は、制御装置705の出力するフォーマット信号に応じて、708の出力を予め定められたスキャン順に並べ替え(S1319)

、2つずつ逆直交変換器710へ出力する(S1320)。また709は、例えば709(a)に示すブロックメモリと709(b)に示すアドレス生成器より構成され、709(a)は708の出力を一旦ブロック分蓄え、709(b)の指示するアドレスに従って書き込み及び読み出しを行なう。709(b)は709(a)から直交変換係数を読み出していったときに、予め定められたスキャン順で出力されるようにアドレスを生成する。第2のスキャン変換器709の施す実際のスキャン変換の順序は、逆直交変換器710の構成に応じて決定されるべきで、例えばラスタスキャン順、または縦方向のラスタスキャン順などが一般的であろう。

【0074】

逆直交変換器710は、709の出力に対し、順次逆直交変換処理を施して出力していく(S1321)。

【0075】

以上のような構成では、前述したような0判定器を設け、量子化直交変換係数の逆量子化結果が0になるのかどうかを逆量しか処理する前に知り、少なくともどちらか一方が0であるならば乗算処理をする必要がない為、他方の係数とあわせて2つの係数を1サイクルでただ一つの逆量子化演算器で逆量子化処理できることになる。

【0076】

例として、702の出力する2つの量子化直交変換係数が以下に示したようになる場合の処理を説明する。

【0077】

例：「0」は量子化直交変換係数が0、「有」は量子化直交変換係数が0でない(つまり有意係数)ことを示す。

【0078】

量子化直交変換係数：(0、有)、(0、0)、(有、0)、(有、有)

まず最初のペア(0、有)は一方が0で他方が有意係数であるので、制御装置705は選択器706、707に対し有意係数の方を選択するよう、制御信号を出力し(S1317)、また第2のスキャン変換器709には”0と有意係数の

ペア”という情報ならびに、そのどちらが第1のスキャン変換器702で変換されたスキャン順で先であるかを示す情報を同時に出力する（S1316）。

【0079】

逆量子化演算器708は706より出力された有意係数に707の出力である量子化閾値を乗じて得る直交変換係数（有意係数）を第2のスキャン変換器709に出力する（S1318）。

【0080】

次のペア（0、0）は両方共0であるので、制御装置705は選択器706、707に対しいずれか一方（どちらでもよい）を選択するよう、制御信号を出力し（S1314）、また第2のスキャン変換器709には”0と0のペア”という情報を同時に出力する（S1313）。

【0081】

逆量子化演算器708は706より出力された係数に707の出力である量子化閾値を乗じて得る直交変換係数（この場合結果的には無意係数になる）を第2のスキャン変換器709に同時に出力する（S1315）。

【0082】

その次のペア（有、0）は一方が有意係数で他方が0であるので、制御装置705は選択器706、707に対し有意係数の方を選択するよう、制御信号を出力し（S1317）、また第2のスキャン変換器709には”0と有意係数のペア”という情報ならびにそのどちらが第1のスキャン変換器702で変換されたスキャン順であるかを示す情報を同時に出力する（S1316）。

【0083】

逆量子化演算器708は706より出力された係数に707の出力である量子化閾値を乗じて得る直交変換係数（有意係数）を第2のスキャン変換器709に出力する（S1318）。

【0084】

その次のペア（有、有）は両方共0でないので、制御装置705は選択器706、707に対しまず最初のサイクルでは702で変換されたスキャン順で早い方を選択するよう、制御信号を出力し（S1308）、また第2のスキャン変換

器 7 0 9 には”一つの有意係数のみ”という情報を同時に出力する (S 1 3 0 9)。
その次のサイクルでは 7 0 2 で変換されたスキャン順で後の方を選択するよう、
制御信号を出力し、また第 2 のスキャン変換器 7 0 9 には”一つの有意係数の
み”という情報を同時に出力する (S 1 3 1 1)。

【 0 0 8 5 】

逆量子化演算器 7 0 8 は 2 サイクルに分けて 7 0 6 より出力された係数及び 7
0 7 より出力された量子化閾値を用いて、2 サイクルに分けて逆量子化演算し、
その結果を直交変換係数として 2 サイクルに分けて第 2 のスキャン変換器 7 0 9
に出力する (S 1 3 1 0、S 1 3 1 2)。

【 0 0 8 6 】

このように、以上示した例では 8 個の係数の逆量子化処理を合計 5 サイクルで
行うことができる。

【 0 0 8 7 】

[第 4 の実施形態]

図 8 に本発明の第 4 の実施形態の復号化装置の構成例を示す。

【 0 0 8 8 】

8 0 1 はハフマン復号化器であり、ハフマン符号化された符号データを復号し、
量子化された直交変換係数として第 1 のスキャン変換器 8 0 2 へ出力する。第
1 のスキャン変換器 8 0 2 は、ハフマン復号化器 8 0 1 より出力された量子化直
交変換係数を入力とし、予め定められた複数のスキャン順序のうち予め定められ
た順序選択信号に従って一つを選択し、該選択したスキャン順序に並べ替え、2
係数ずつ出力する。また 8 0 2 は、8 0 2 (a) に示すブロックメモリと、8 0
2 (b) に示すアドレス生成器 1、8 0 2 (c) に示すアドレス生成器 2、及び
8 0 2 (d) に示すアドレス生成器 3 と、順序選択信号に従って 8 0 2 (b)、
8 0 2 (c)、8 0 2 (d) の出力より一つを選択する選択器 8 0 2 (e) より
構成される。8 0 2 (a) は 8 0 1 より出力された量子化直交変換係数を、一旦
1 ブロック分蓄え、8 0 2 (e) が出力するアドレスに従って書き込み及び読み
出しを行なう。8 0 2 (b)、8 0 2 (c)、8 0 2 (d) が備えるスキャン順
序は、例えばそれぞれ図 2 b に記載のスキャン順、図 2 c に記載のスキャン順、

図 2 d に記載のスキャン順等が処理速度の観点から有利である。

【 0 0 8 9 】

例えば、図 1 0 a に示す直交変換係数配列例のように、有意係数が上半分に偏っている場合、図 2 c に示すスキャン順序で書込み読出しを行えば（有、有）の組み合わせの数が少なくなる。また、図 1 1 a に示す量子化結果配列例のように、有意係数が左半分に偏っている場合、図 2 d に示すスキャン順序で書込み読出しを行えば（有、有）の組み合わせの数が少なくなる。このように、処理対象ブロックの有意係数分布情報をもとに処理速度的に有利となるスキャン順序が選択される。

【 0 0 9 0 】

量子化閾値テーブル 8 0 4 は、順次選択信号をもとに、8 0 2 の出力する 2 つの量子化直交変換数にそれぞれ対応した量子化閾値を 2 つずつ出力する。0 判定器 8 0 3 は 8 0 2 より出力された 2 つの量子化直交変換係数を入力とし、該入力された量子化直交変換係数がそれぞれ 0 であるか否か判定し、その判定結果を制御装置 8 0 5 に出力する。

【 0 0 9 1 】

制御措置 8 0 5 は 0 判定器 8 0 3 の出力結果に応じて、8 0 2 が出力する 2 つの量子化直交変換係数のうち少なくともいずれか一方が 0 であれば、0 でない方を選択するように、選択器 8 0 6 及び選択器 8 0 7 に制御信号を出力し（両方共 0 の場合はいずれを選択するような制御信号を出力しても影響しない）、いずれも 0 でないならば 2 サイクルに分けて第 1 のスキャン変換器 8 0 2 で変換されたスキャン順になるように一つずつ交互に選択するように制御信号を出力する。また制御装置 8 0 5 は 0 判定器 8 0 3 の出力結果に応じて、第 2 のスキャン変換器 8 0 9 にフォーマット信号を出力する。該フォーマット信号は、8 0 2 が出力する 2 つの量子化直交変換係数のうちいずれか一方が 0 であれば”0 と有意係数のペア”、両方共 0 であれば”0 と 0 のペア”、両方共有意係数であれば”一つの有意係数のみ”を示す情報（両方共有意係数の場合は、係数を一つずつ 2 サイクルに分けて逆量子化処理することになるので、2 サイクル連続で”一つの有意係数のみ”を示す情報を出力することになる）を、ならびに”0 と有意係数のペア”であ

るならば該 0 と有意係数のペアのうちどちらが第 1 のスキャン変換器 8 0 2 で変換されたスキャン順で先であるのかを示す情報を含む。

【 0 0 9 2 】

このように、量子化直交変換係数が 0 であれば逆量子化演算処理することなく結果が得られる（即ち 0）ので、2 つの量子化直交変換係数のうち少なくともいづれか一方が 0 であれば、該 2 つの量子化直交変換係数を実質的に 1 サイクルで逆量子化するように制御する。

【 0 0 9 3 】

選択器 8 0 6 は 8 0 2 の出力する 2 つの量子化直交変換係数のうちいづれか一方を、8 0 5 の出力する制御信号に従って選択し、逆量子化演算器 8 0 8 へ出力する。選択器 8 0 7 は、8 0 4 の出力する 2 つの量子化閾値のうちいづれか一方を、8 0 5 の出力する制御信号に従って選択し、逆量子化演算器 8 0 8 へ出力する。また、選択器 8 0 7 の出力する量子化閾値は、常に選択器 8 0 6 の出力する量子化直交変換係数に対応する量子化閾値となる。

【 0 0 9 4 】

逆量子化演算器 8 0 8 は、8 0 6 の出力に 8 0 7 の出力を乗じて得る逆量子化結果を、第 2 のスキャン変換器 8 0 9 に出力する。

【 0 0 9 5 】

第 2 のスキャン変換器 8 0 9 は、順序選択信号をもとに 8 0 2 で選択されたスキャン順序に対応するスキャン順序を選択し、該選択されたスキャン順序に従って 8 0 8 の出力を並べ替え、2 つずつ逆直交変換器 8 1 0 へ出力する。また 1 8 0 9 は、8 0 9 (a) に示すブロックメモリと 8 0 9 (b) に示すアドレス生成器 4、8 0 9 に示すアドレス生成器 5、及び 8 0 9 (d) に示すアドレス生成器 6 と、順序選択信号に従って 8 0 9 (b)、8 0 9 (d) の出力により一つを選択する選択器 8 0 9 (e) より構成される。8 0 9 (a) は 8 0 8 の出力を一旦 1 ブロック分蓄え、8 0 9 (e) の出力するアドレスに従って書き込み及び読み出しを行なう。逆直交変換器 8 1 0 は、8 0 9 の出力を順次逆直交変換処理していく。

【 0 0 9 6 】

図 9 a に、 8×8 画素単位にブロック分割された画像に直交変換及び量子化を施した例を示す。図で「有」は有意係数、「0」は無意係数を表す。

【0 0 9 7】

一般に多くの画像は直交変換を施した場合直流成分、低周波成分に電力が集中することが知られており、また量子化閾値は、人間の視覚特性が高周波成分に対し鈍感であることを考慮して、高周波成分に対応する量子化閾値に大きい値を割り当てることが多い。その為図 9 a に示すように、有意係数は直交変換ブロックの左上の方、つまりジグザグスキャン順で早い方に連続して集中する傾向にある。この特性を利用して、該有意係数が直交変換ブロック内でなるべく均等に分散されるように考慮してスキャン順を定めることにより、量子化処理時間を最小限に押さえることができる。

【0 0 9 8】

図 9 a に示された例において、本発明の第 2 の実施形態の構成では、処理に要するサイクルの数は以下ようになる。

【0 0 9 9】

まず、図 2 b に示したスキャン順を選択して図 9 a の例を該スキャン順に 2 つずつ並べると、図 9 c のようになる。この場合、(有、有)の組み合わせが 2 つあるので、64 係数の量子化処理時間は $2 \times 2 + (32 - 2) = 34$ サイクルとなる。

【0 1 0 0】

図 2 c に示したスキャン順を選択して図 9 a の例を該スキャン順に 2 つずつ並べると、図 9 d のようになる。この場合、(有、有)の組み合わせが 1 つあるので、64 係数の量子化処理時間は $1 \times 2 + (32 - 1) = 33$ サイクルとなる。

【0 1 0 1】

次に、図 2 d に示したスキャン順を選択して図 9 a の例を該スキャン順に 2 つずつ並べると、図 9 e のようになる。この場合、(有、有)の組み合わせが 3 つあるので、64 係数の量子化処理時間は $3 \times 2 + (32 - 3) = 35$ サイクルとなる。

【0 1 0 2】

従って、ブロックメモリ 709 (a) への書込みサイクルは図 2 c の場合は 33 サイクルとなる。また、ブロックメモリ 709 (a) からの読出しサイクルは $8 \times 8 \div 2 = 32$ サイクルであり、初期化処理サイクルは必要ないので、全体としての処理サイクルは最小で $33 + 32 = 65$ サイクルとなる。

【0103】

一方、図 9 a に示された例において、従来例の構成では処理に要するサイクル数は以下になる。

【0104】

図 9 a に示された例では、有意係数の個数は 20 個であるので、該処理対象ブロックの処理に要する総クロックサイクル数は、書き込み処理 = 20 サイクル、読出し処理 32 サイクル、初期化処理 = 20 サイクルであるので、合計して 72 サイクルとなる。

【0105】

従って、図 9 a に示された例においては、従来より約 10 % 程度処理時間が短縮されたこととなる。又、従来例の構成では、 8×8 の単位ブロックあたりに要する処理サイクル数は 32 ~ 160 サイクルと非常に大きい開きがあり、そのため圧縮率の高い符号データと圧縮率の低い符号データとで復号化勝利に要する時間の差が大きくなってしまいう問題があったのに対し、本発明の構成を備えた本実施形態では、 8×8 の単位ブロックあたりに要する処理サイクル数は 64 ~ 96 サイクルと開きが小さく、従って、圧縮率の高い符号データと圧縮率の低い符号データとで復号化処理に要する時間の差が小さいという効果がある。この事実は、復号化装置を組み込むシステムが復号化装置に要求する処理速度として、その復号化装置の持つ処理速度の最悪値に合わせなければならない場合などに効果的であり、また復号化装置を組み込むシステムが扱う画像符号データが、比較的圧縮率の低いものが多い場合などにも有効である。

【0106】

以上示したように、ブロックメモリの初期化処理期間を省き、逆量子化器に投入する量子化直交変換係数の有意係数になるべく均等に分散されるようにスキャン順を考慮することにより、画像の圧縮率に拘わらず高速に復号化処理を行うこ

とができる。

【 0 1 0 7 】

【他の実施形態】

なお、本発明は、複数の機器（例えばホストコンピュータ、インタフェイス機器、リーダ、プリンタなど）から構成されるシステムに適用しても、一つの機器からなる装置（例えば、複写機、ファクシミリ装置など）に適用してもよい。

【 0 1 0 8 】

また、本発明の目的は、前述した実施形態の機能を実現するソフトウェアのプログラムコードを記録した記憶媒体（または記録媒体）を、システムあるいは装置に供給し、そのシステムあるいは装置のコンピュータ（またはCPUやMPU）が記憶媒体に格納されたプログラムコードを読み出し実行することによっても、達成されることは言うまでもない。この場合、記憶媒体から読み出されたプログラムコード自体が前述した実施形態の機能を実現することになり、そのプログラムコードを記憶した記憶媒体は本発明を構成することになる。また、コンピュータが読み出したプログラムコードを実行することにより、前述した実施形態の機能が実現されるだけでなく、そのプログラムコードの指示に基づき、コンピュータ上で稼働しているオペレーティングシステム（OS）などが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【 0 1 0 9 】

さらに、記憶媒体から読み出されたプログラムコードが、コンピュータに挿入された機能拡張カードやコンピュータに接続された機能拡張ユニットに備わるメモリに書込まれた後、そのプログラムコードの指示に基づき、その機能拡張カードや機能拡張ユニットに備わるCPUなどが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【 0 1 1 0 】

【発明の効果】

以上示したように、本発明により量子化又は逆量子化される係数のうち、有意

のものがなるべく均等に分散されるように考慮したスキャン順序を採用することにより、ジグザグスキャン順で処理する場合よりも、処理サイクルを低減でき、全体として高速に符号化、復号化処理を行なうことが可能となる。

【 0 1 1 1 】

また、予め複数のスキャン順序を用意し、これを順序選択信号によって切替えて使用することで、入力係数の分布に適応したスキャン順序を選択することが可能となり、処理サイクルをより効果的に低減できる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態の構成図である。

【図 2 a】

ジグザグスキャン順序を示す図である。

【図 2 b】

本発明におけるスキャン順序の一を示す図である。

【図 2 c】

本発明におけるスキャン順序の一を示す図である。

【図 2 d】

本発明におけるスキャン順序の一を示す図である。

【図 3】

本発明の第 2 の実施形態の構成を示す図である。

【図 4 a】

8 x 8 ブロックの量子化結果例を示す図である。

【図 4 b】

図 4 a の量子化結果例を、ジグザグスキャン順序で 2 個ずつ配列した場合の組合せを示す図である。

【図 4 c】

図 4 a の量子化結果例を、図 2 b に示すスキャン順序で 2 個ずつ配列した場合の組合せを示す図である。

【図 4 d】

図 4 a の量子化結果例を、図 2 c に示すスキャン順序で 2 個ずつ配列した場合の組合せを示す図である。

【図 4 e】

図 4 a の量子化結果例を、図 2 d に示すスキャン順序で 2 個ずつ配列した場合の組合せを示す図である。

【図 5 a】

8 x 8 ブロックの量子化結果例を示す図である。

【図 5 b】

図 5 a の量子化結果例を、ジグザグスキャン順序で 2 個ずつ配列した場合の組合せを示す図である。

【図 5 c】

図 5 a の量子化結果例を、図 2 b に示すスキャン順序で 2 個ずつ配列した場合の組合せを示す図である。

【図 5 d】

図 5 a の量子化結果例を、図 2 c に示すスキャン順序で 2 個ずつ配列した場合の組合せを示す図である。

【図 5 e】

図 5 a の量子化結果例を、図 2 d に示すスキャン順序で 2 個ずつ配列した場合の組合せを示す図である。

【図 6 a】

8 x 8 ブロックの量子化結果例を示す図である。

【図 6 b】

図 6 a の量子化結果例を、ジグザグスキャン順序で 2 個ずつ配列した場合の組合せを示す図である。

【図 6 c】

図 6 a の量子化結果例を、図 2 b に示すスキャン順序で 2 個ずつ配列した場合の組合せを示す図である。

【図 6 d】

図 6 a の量子化結果例を、図 2 c に示すスキャン順序で 2 個ずつ配列した場合

の組合せを示す図である。

【図 6 e】

図 6 a の量子化結果例を、図 2 d に示すスキャン順序で 2 個ずつ配列した場合の組合せを示す図である。

【図 7】

本発明の第 3 の実施形態の構成を示す図である。

【図 8】

本発明の第 4 の実施形態の構成を示す図である。

【図 9 a】

8 x 8 ブロックの直交変換係数配列例を示す図である。

【図 9 b】

図 9 a の直交変換係数配列例を、ジグザグスキャン順序で 2 個ずつ配列した場合の組合せを示す図である。

【図 9 c】

図 9 a の直交変換係数配列例を、図 2 b に示すスキャン順序で 2 個ずつ配列した場合の組合せを示す図である。

【図 9 d】

図 9 a の直交変換係数配列例を、図 2 c に示すスキャン順序で 2 個ずつ配列した場合の組合せを示す図である。

【図 9 e】

図 9 a の直交変換係数配列例を、図 2 d に示すスキャン順序で 2 個ずつ配列した場合の組合せを示す図である。

【図 1 0 a】

8 x 8 ブロックの直交変換係数配列例を示す図である。

【図 1 0 b】

図 1 0 a の直交変換係数配列例を、ジグザグスキャン順序で 2 個ずつ配列した場合の組合せを示す図である。

【図 1 0 c】

図 1 0 a の直交変換係数配列例を、図 2 b に示すスキャン順序で 2 個ずつ配列

した場合の組合せを示す図である。

【図 1 0 d】

図 1 0 a の直交変換係数配列例を、図 2 c に示すスキャン順序で 2 個ずつ配列した場合の組合せを示す図である。

【図 1 0 e】

図 1 0 a の直交変換係数配列例を、図 2 d に示すスキャン順序で 2 個ずつ配列した場合の組合せを示す図である。

【図 1 1 a】

8 x 8 ブロックの直交変換係数配列例を示す図である。

【図 1 1 b】

図 1 1 a の直交変換係数配列例を、ジグザグスキャン順序で 2 個ずつ配列した場合の組合せを示す図である。

【図 1 1 c】

図 1 1 a の直交変換係数配列例を、図 2 b に示すスキャン順序で 2 個ずつ配列した場合の組合せを示す図である。

【図 1 1 d】

図 1 1 a の直交変換係数配列例を、図 2 c に示すスキャン順序で 2 個ずつ配列した場合の組合せを示す図である。

【図 1 1 e】

図 1 1 a の直交変換係数配列例を、図 2 d に示すスキャン順序で 2 個ずつ配列した場合の組合せを示す図である。

【図 1 2 a】

本発明の第 1 の実施形態における、処理の流れを示したフローチャートである。

【図 1 2 b】

本発明の第 1 の実施形態における、処理の流れを示したフローチャートである。

【図 1 2 c】

本発明の第 1 の実施形態における、処理の流れを示したフローチャートである。

。 【図 1 2 d】

本発明の第 1 の実施形態における、処理の流れを示したフローチャートである

。 【図 1 3 a】

本発明の第 3 の実施形態における、処理の流れを示したフローチャートである

。 【図 1 3 b】

本発明の第 3 の実施形態における、処理の流れを示したフローチャートである

。 【図 1 3 c】

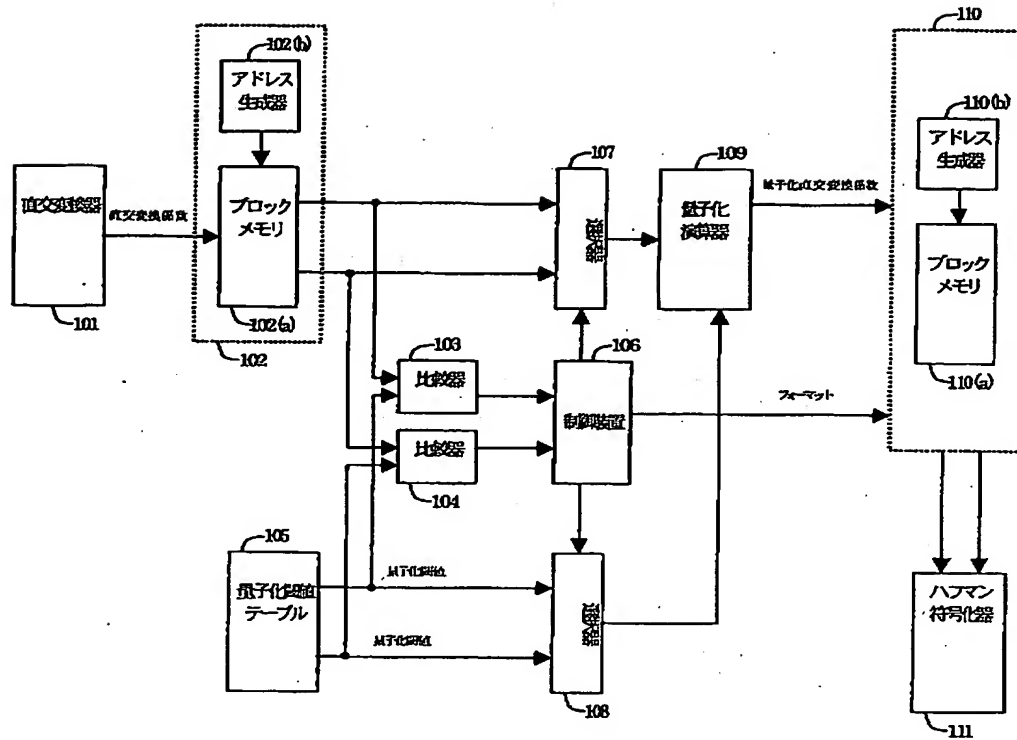
本発明の第 3 の実施形態における、処理の流れを示したフローチャートである

。 【図 1 3 d】

本発明の第 3 の実施形態における、処理の流れを示したフローチャートである

【書類名】 図面

【図 1】



【図 2 a】

1	2	6	7	15	16	28	29
3	5	8	14	17	27	30	43
4	9	13	18	26	31	42	44
10	12	19	25	32	41	45	54
11	20	24	33	40	46	53	55
21	23	34	39	47	52	56	61
22	35	38	48	51	57	60	62
36	37	49	50	58	59	63	64

(a)

【図 2 b】

1	3	11	13	29	31	55	57
5	9	15	27	33	53	59	44
7	17	25	35	51	61	46	42
19	23	37	49	63	48	40	22
21	39	47	64	50	38	24	20
41	45	62	52	36	26	18	8
43	60	54	34	28	16	10	6
58	56	32	30	14	12	4	2

(b)

【図 2 c】

1	3	5	7	9	11	13	15
17	19	21	23	25	27	29	31
33	35	37	39	41	43	45	47
49	51	53	55	57	59	61	63
50	52	54	56	58	60	62	64
34	36	38	40	42	44	46	48
18	20	22	24	26	28	30	32
2	4	6	8	10	12	14	16

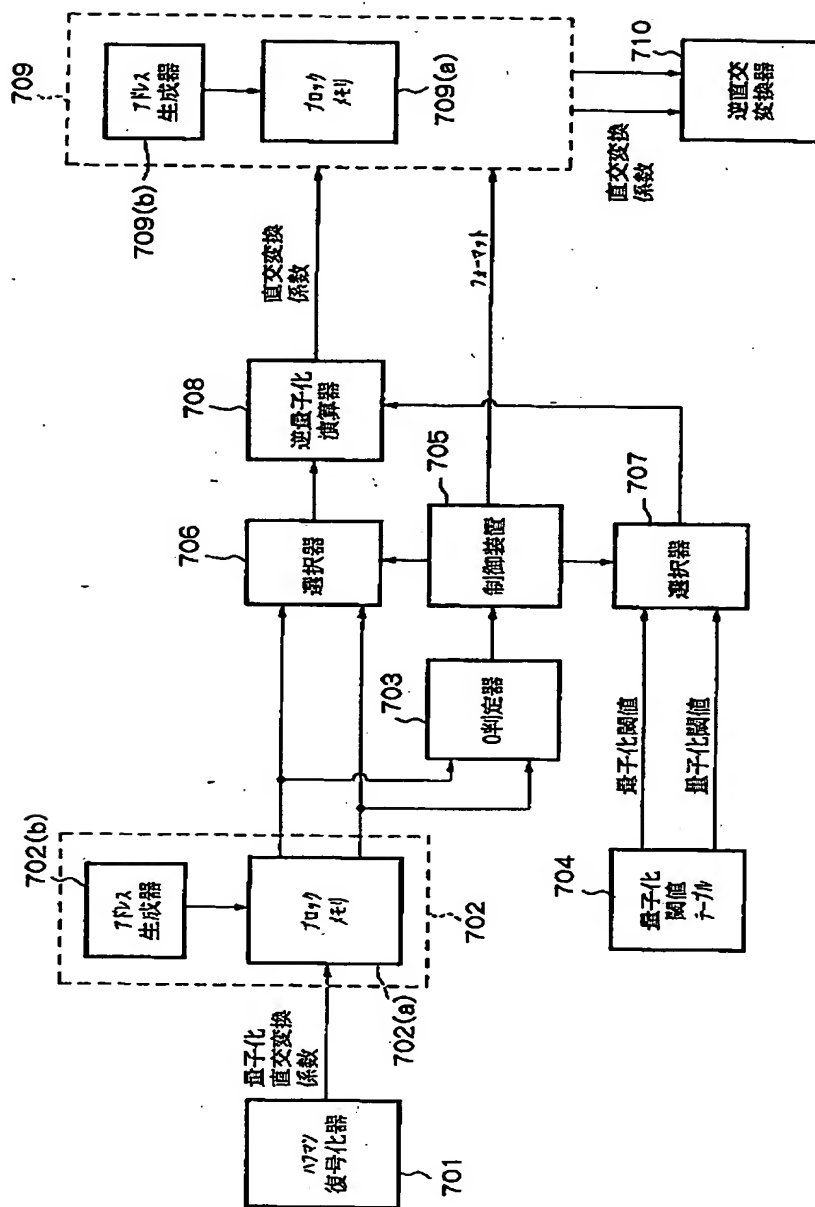
(c)

【図 2 d】

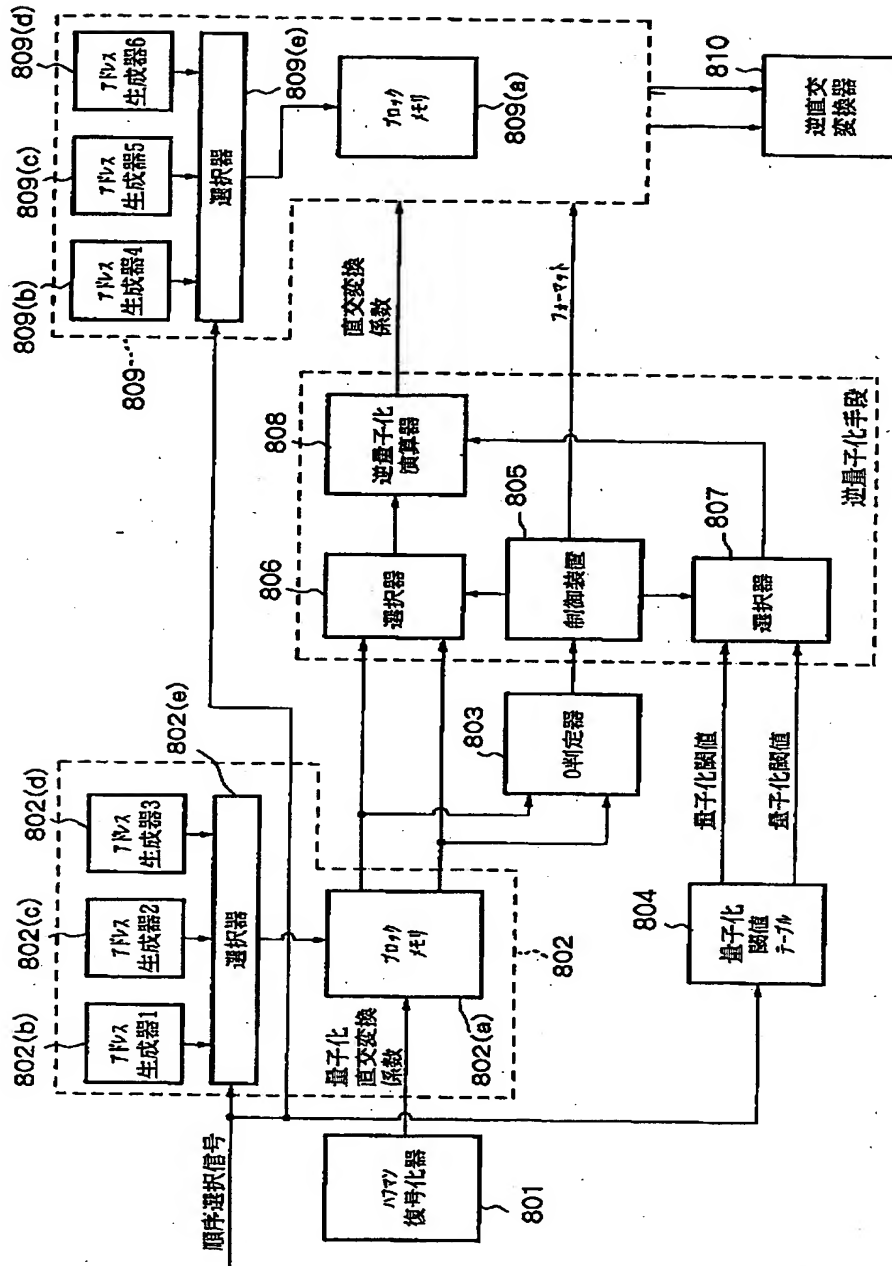
1	17	33	49	50	34	18	2
3	19	35	51	52	36	20	4
5	21	37	53	54	38	22	6
7	23	39	55	56	40	24	8
9	25	41	57	58	42	26	10
11	27	43	59	60	44	28	12
13	29	45	61	62	46	30	14
15	31	47	63	64	48	32	16

(d)

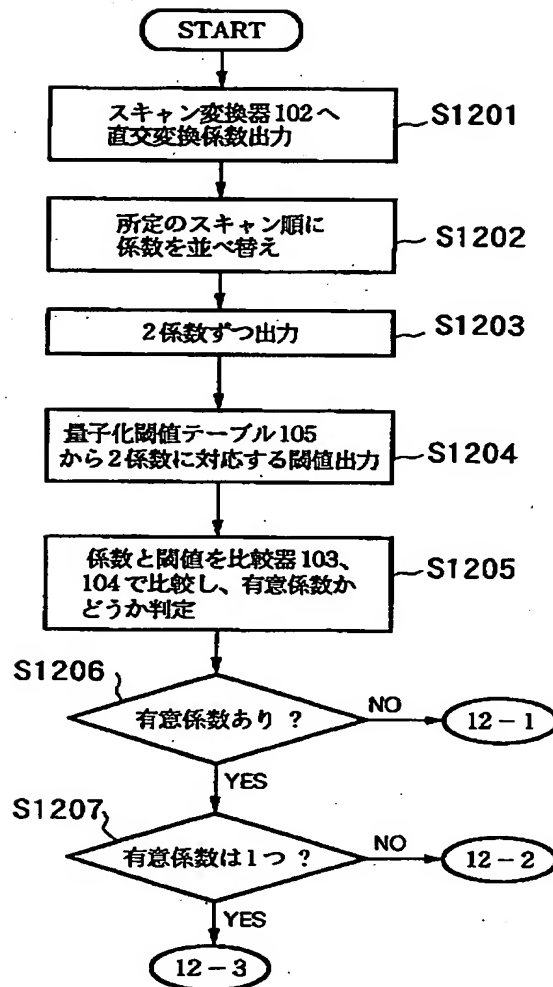
【図 7】



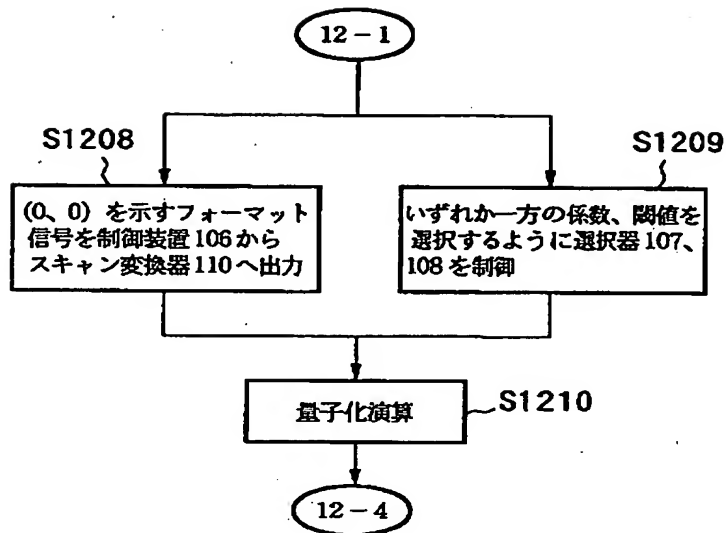
【図8】



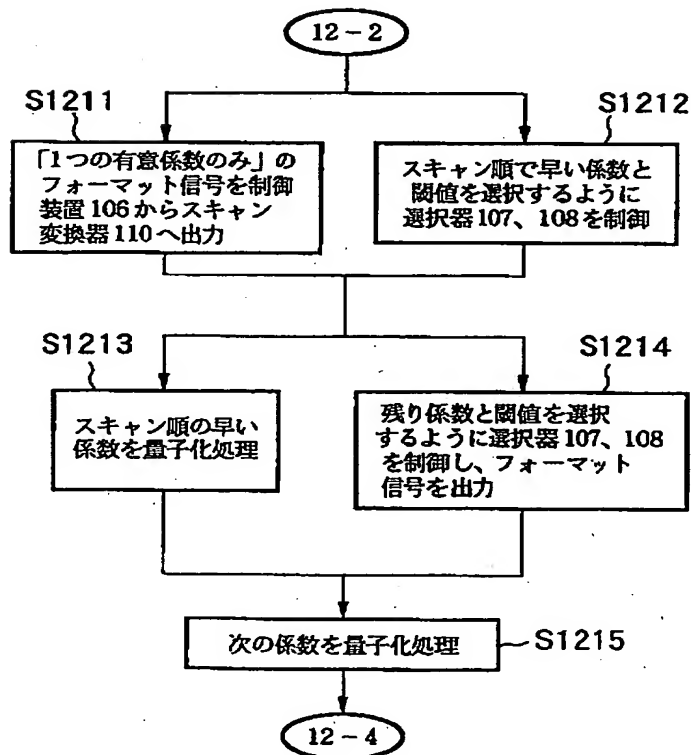
【図 12a】



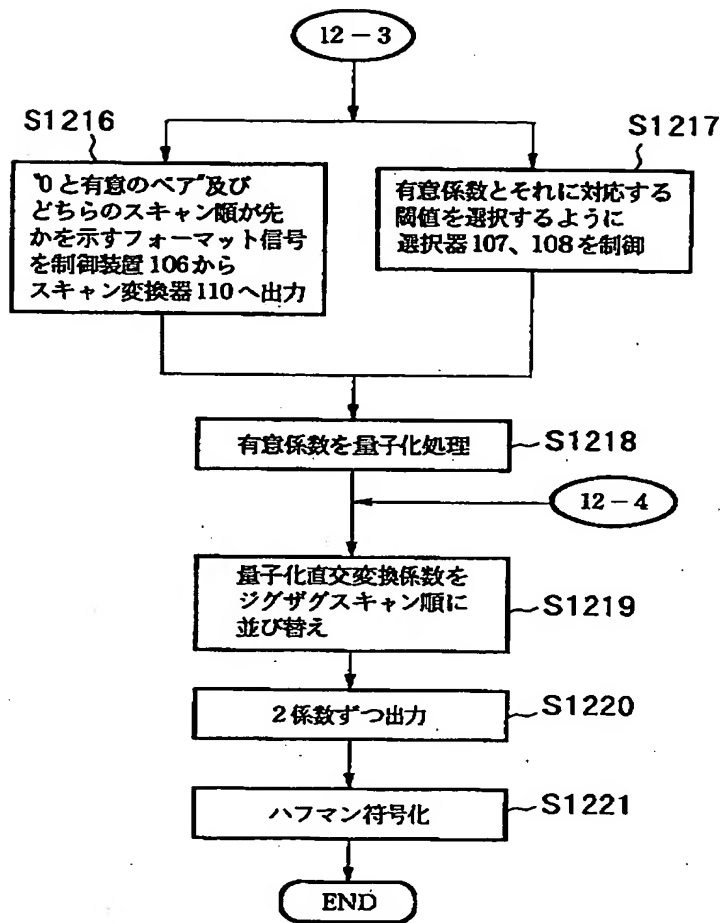
【図 1 2 b】



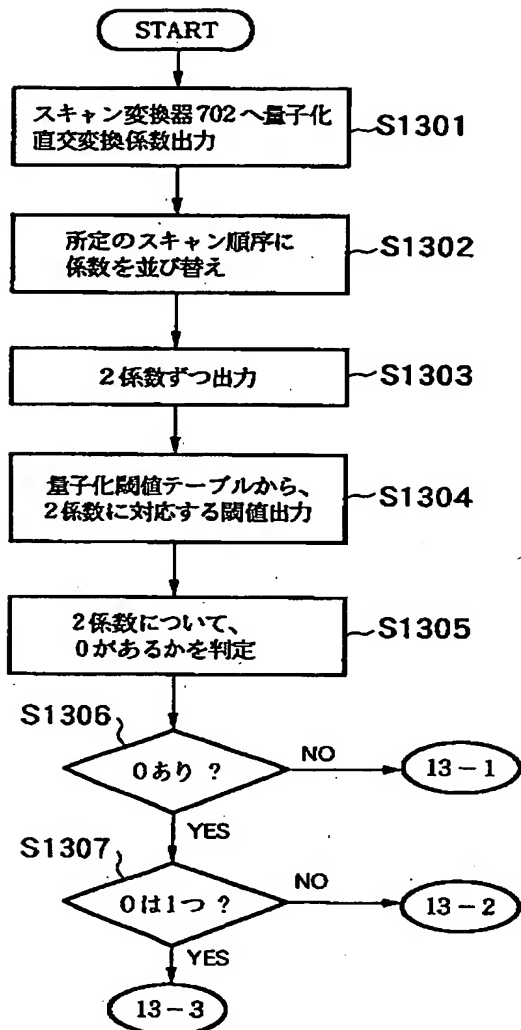
【図 1 2 c】



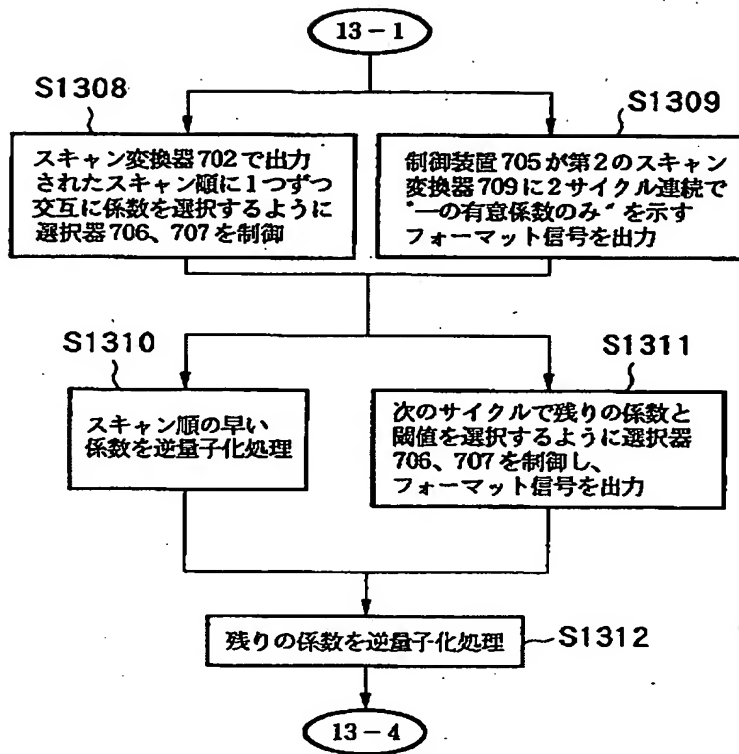
【図 1 2 d】



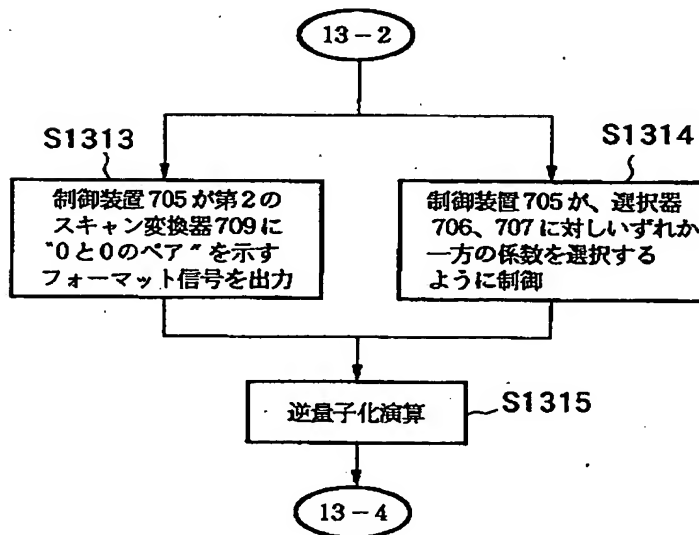
【図13a】



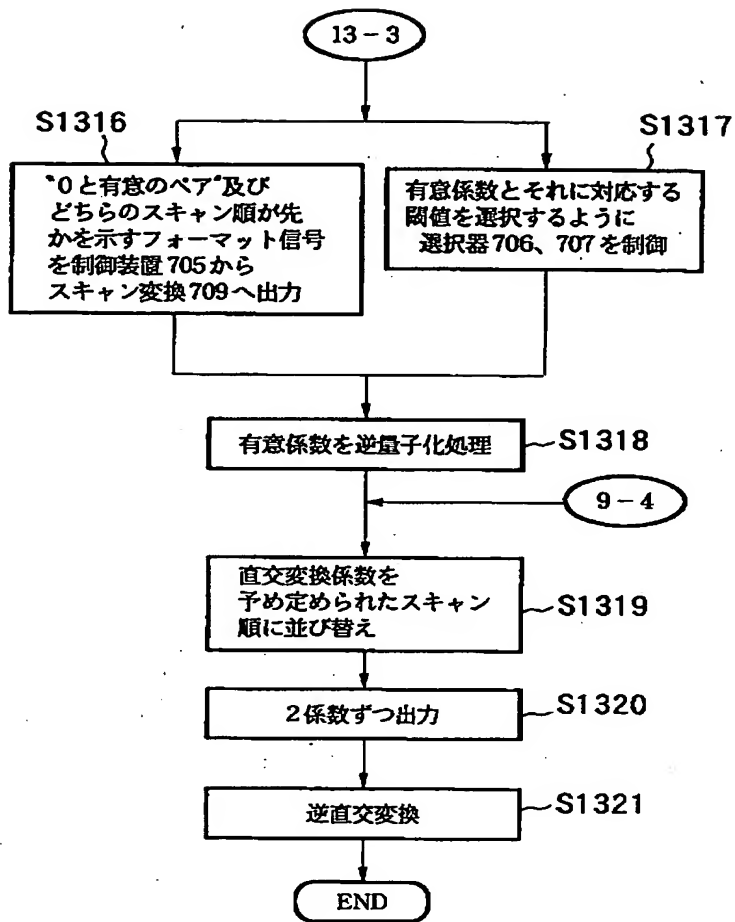
【図 1 3 b】



【図 1 3 c】



【図 13d】



【書類名】 要約書

【要約】

【課題】

画像データの符号化処理又は復号化処理において、複数の係数をできるだけ1サイクルで処理し効率化を図るための手法の提供。

【解決手段】

符号化、または復号化の処理に際し、有意な係数と0がペアになるように予め定めたスキャン順序により、係数を並べ替え処理を行う。さらに、周波数の分布状況から、適切なスキャン順を選択することにより、より処理の効率化を図る。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都大田区下丸子3丁目30番2号
氏 名 キヤノン株式会社